



UNIVERSITAS
MERCU BUANA

SIMULASI KONSEP VRRP (*VIRTUAL ROUTER REDUNDANCY PROTOCOL*)
MENGUNAKAN SIMULATOR eNSP



THORIQ JABAR NUR

UNIVERSITAS 41510120009

MERCU BUANA

PROGRAM STUDI INFORMATIKA
FAKULTAS ILMU KOMPUTER
UNIVERSITAS MERCU BUANA

JAKARTA

2016



UNIVERSITAS
MERCU BUANA

SIMULASI KONSEP VRRP (*VIRTUAL ROUTER REDUNDANCY PROTOCOL*)
MENGUNAKAN SIMULATOR eNSP

Laporan Tugas Akhir

Diajukan Untuk Melengkapi Salah Satu Syarat
Memperoleh Gelar Sarjana Komputer

UNIVERSITAS
MERCU BUANA
THORIQ JABAR NUR
41510120009

PROGRAM STUDI INFORMATIKA
FAKULTAS ILMU KOMPUTER
UNIVERSITAS MERCU BUANA

JAKARTA

2016

LEMBAR PERNYATAAN

Yang bertanda tangan dibawah ini:

NIM : 41510120009

Nama : Thoriq Jabar Nur

Judul Tugas Akhir : SIMULASI KONSEP VRRP (*VIRTUAL ROUTER
REDUNDANCY PROTOCOL*) MENGGUNAKAN
SIMULATOR eNSP

Menyatakan bahwa Tugas Akhir dengan judul yang tersebut diatas adalah hasil karya saya sendiri dan bukan plagiat kecuali kutipan-kutipan dan teori-teori yang digunakan dalam skripsi ini. Apabila ternyata ditemukan didalam Laporan Tugas Akhir saya terdapat unsur plagiat, maka saya siap untuk mendapatkan sanksi akademik yang terkait dengan hal tersebut.

UNIVERSITAS
MERCU BUANA

Jakarta, 23 Juni 2016



Thoriq Jabar Nur


LEMBAR PERSETUJUAN


NIM : 41510120009
Nama : Thoriq Jabar Nur
Program Studi : Informatika
Fakultas : Ilmu Komputer
Judul Tugas Akhir : SIMULASI KONSEP VRRP (*VIRTUAL ROUTER
REDUNDANCY PROTOCOL*) MENGGUNAKAN
SIMULATOR eNSP

Jakarta, 3 Juni 2016

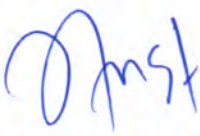
Disetujui dan diterima oleh,

UNIVERSITAS


Dr. Yaya Sudarya Triana, M.Kom.
Dosen Pembimbing


Dr. Yaya Sudarya Triana, M.Kom.

Kaprodi Informatika


Desi Ramayanti, S.Kom, MT.

Koordinator Tugas Akhir

KATA PENGANTAR

Assalamu'alaikum warahmatullahi wabarakatuh.

Puji Syukur Alhamdulillah atas nikmat Allah SWT yang telah memberikan kemudahan kepada Penulis sehingga dapat menyelesaikan laporan tugas akhir dengan baik. Laporan tugas akhir ini merupakan salah satu persyaratan untuk menyelesaikan Program Studi Sarjana pada Jurusan Informatika Universitas Mercu Buana.

Penulis menyadari bahwa laporan tugas akhir ini masih jauh dari sempurna. Karena itudalam proses pembuatan laporan ini, tentunya saya mendapatkan bimbingan, arahan, koreksi, saran dan motivasi, untuk itu rasa terima kasih yang sedalam-dalamnya saya sampaikan kepada :

1. Bapak Yaya Sudarya Triana, M.Kom., selaku pembimbing Tugas Akhir Penulis, yang dengan sabarnya membimbing penulis dengan semua nasihat, semangat, ilmunya dan memberi arahan serta saran hingga akhirnya laporan Tugas Akhir ini terselesaikan.
2. Bapak Yaya Sudarya Triana, M.Kom., selaku Kepala Prodi Informatika, Universitas Mercu Buana.
3. Ibu Desi Ramayanti, S.Kom, MT., selaku koordinator Tugas Akhir pada jurusan Informatika, Universitas Mercu Buana.
4. Keluarga tercinta yakni bapak, ibu, dan adik – adik ku yang tidak pernah lelah mendoakan dan memberi semangat Penulis untuk terus berkreasi dengan baik.
5. Nadya Ramdhiani Nugraha yang selalu memotivasi dan ikut memberikan bantuannya kepada penulis.
6. Teman-teman jurusan Informatika, khususnya angkatan 2010 yang selalu memberi motivasi dan semangat kepada Penulis.

Penulisan Skripsi ini ditulis dan disusun dengan sebaik-baiknya, namun bilamana ada kekurangan di dalam penyusunan skripsi ini atau masih jauh dari sempurna oleh karena itu, kritik dan saran akan senantiasa penulis terima dengan

senang hati. Semoga laporan Tugas Akhir ini dapat memberikan pengetahuan yang lebih luas kepada pembaca.

Jakarta, 9 Juni 2016

Thoriq Jabar Nur



UNIVERSITAS
MERCU BUANA

DAFTAR ISI

LEMBAR PERNYATAAN.....	i
LEMBAR PERNYATAAN.....	ii
KATA PENGANTAR.....	iii
ABSTRACT.....	v
ABSTRAK.....	vi
DAFTAR ISI.....	vii
DAFTAR GAMBAR.....	ix
DAFTAR TABEL.....	x
DAFTAR LAMPIRAN.....	xi
BAB I PENDAHULUAN.....	1
1.1 Latar Belakang.....	1
1.2 Rumusan Masalah.....	2
1.3 Batasan Masalah.....	2
1.4 Tujuan Penelitian.....	3
1.5 Manfaat Penelitian.....	3
1.6 Metodologi Penelitian.....	3
1.7 Sistematika Penulisan.....	4
BAB II LANDASAN TEORI.....	6
2.1 Pengertian VRRP.....	6
2.1.1 Mekanisme VRRP.....	9
2.1.2 <i>Flowchart</i> VRRP.....	11
2.1.3 Istilah Dalam VRRP.....	12
2.1.4 Keuntungan VRRP.....	13
2.2 <i>Quality of Service</i>	14
2.2.1 <i>Jitter</i>	15
2.2.2 <i>Delay</i>	16
2.2.3 <i>Packet Loss</i>	16
BAB III ANALISA DAN PERANCANGAN.....	18
3.1 Analisis Kebutuhan.....	18
3.2 Perancangan Sistem.....	19

3.2.1 Perancangan Topologi VRRP.....	19
3.2.2 Konfigurasi Perangkat	20
3.3 Metode Pengambilan Data.....	21
3.3.1 Pengujian Performa Jaringan VRRP	21
3.3.2 Parameter yang Diamati	21
BAB IV PENGUJIAN DAN ANALISIS HASIL SIMULASI.....	23
4.1 Instalasi Sistem	23
4.2 Simulasi Sistem	27
4.3 Pengujian Sistem	27
4.3.1 Koneksi <i>End to End</i>	27
4.3.2 Pengujian VRRP.....	28
4.3.3. Pengujian QoS (<i>Quality of Service</i>).....	30
BAB V PENUTUP	38
5.1 Kesimpulan	38
5.2 Saran	38
DAFTAR PUSTAKA	39
DAFTAR RIWAYAT HIDUP.....	40
LAMPIRAN.....	42

DAFTAR GAMBAR

	HAL.
Gambar 2.1 Topologi jaringan sederhana	6
Gambar 2.2 Topologi VRRP	7
Gambar 2.3 Cara kerja VRRP.....	8
Gambar 2.4 Paket data melalui <i>router master</i>	10
Gambar 2.5 Paket data melalui <i>router backup</i>	10
Gambar 2.6 Flowchart VRRP	11
Gambar 2.7 Perbedaan aliran paket karena adanya <i>jitter</i>	15
Gambar 3.1 Perancangan topologi VRRP	19
Gambar 3.2 Topologi pada eNSP	20
Gambar 3.3 Grafik QoS dalam keadaan normal	22
Gambar 3.4 Grafik QoS <i>master failure</i>	22
Gambar 4.1 Tampilan eNSP	24
Gambar 4.2 Topologi VRRP pada eNSP	24
Gambar 4.3 Tampilan wireshark.....	25
Gambar 4.4 UDP menjadi RTP	26
Gambar 4.5 RTP <i>streams Analisis</i>	26
Gambar 4.6 Ping <i>user ke server</i>	27
Gambar 4.7 IP <i>interface vlan</i>	28
Gambar 4.8 Trace melalui <i>switch master</i>	28
Gambar 4.9 Trace melalui <i>switch backup</i>	29
Gambar 4.10 Switch 3 <i>master</i>	29
Gambar 4.11 Switch 2 <i>backup</i>	29
Gambar 4.12 <i>Backup</i> menjadi <i>master</i>	30
Gambar 4.13 RTP <i>stream analisis</i>	30
Gambar 4.14 Perhitungan <i>jitter</i>	31
Gambar 4.15 Perbandingan QoS kondisi normal	33
Gambar 4.16 RTP <i>stream analisis</i>	34
Gambar 4.17 Perhitungan <i>jitter</i>	35
Gambar 4.18 Perbandingan QoS <i>saat failover</i>	37

DAFTAR TABEL

	HAL.
Tabel 2.1 <i>Initialize state, master state dan backup state</i>	8
Tabel 3.1 Kebutuhan <i>software</i>	18
Tabel 3.2 Kebutuhan <i>hardware</i>	18
Tabel 4.1 Percobaan keadaan normal	32
Tabel 4.2 Percobaan <i>failover</i>	36



UNIVERSITAS
MERCU BUANA

DAFTAR LAMPIRAN

	HAL.
Lampiran 1 Konfigurasi pada <i>Switch</i> 1.....	42
Lampiran 2 Konfigurasi pada <i>Switch</i> 2	43
Lampiran 3 Konfigurasi pada <i>Switch</i> 3	44
Lampiran 4 Konfigurasi pada <i>Switch</i> 4	45



UNIVERSITAS
MERCU BUANA