

**ANALISA DAN PERANCANGAN *CAPACITOR BANK* UNTUK
PERBAIKAN FAKTOR DAYA PANEL LV MDB 1 DI PT.YKK
ZIPPER INDONESIA - CIMANGGIS *FACTORY***



NIM : 41415320024

UNIVERSITAS

MERCU BUANA

PROGRAM STUDI TEKNIK ELEKTRO

FAKULTAS TEKNIK

UNIVERSITAS MERCU BUANA

JAKARTA

2017

LAPORAN TUGAS AKHIR

ANALISA DAN PERANCANGAN *CAPACITOR BANK* UNTUK PERBAIKAN FAKTOR DAYA PANEL LV MDB 1 DI PT.YKK ZIPPER INDONESIA - CIMANGGIS *FACTORY*



Disusun Oleh:

Nama : Purmianto
NIM : 41415320024
Program Studi : Teknik Elektro

DIAJUKAN UNTUK MEMENUHI SYARAT KELULUSAN MATA KULIAH
TUGAS AKHIR PADA PROGRAM SARJANA STRATA SATU (S1)

JULI 2017

LEMBAR PERNYATAAN

Yang bertanda tangan di bawah ini :

Nama : Purmianto
N.I.M : 41415320024
Jurusan : Teknik
Fakultas : Teknik Elektro
Judul Tugas Akhir : Analisa dan Perancangan *Capacitor Bank* Untuk
Perbaikan Faktor Daya Pada Panel LVMDB 1 Di
PT.YKK Zipper Indonesia-Cimanggis Factory

Dengan ini menyatakan bahwa Laporan Tugas Akhir yang telah saya buat ini merupakan hasil karya sendiri dan benar keasliannya. Apabila ternyata dikemudian hari penulisan Laporan Tugas Akhir ini merupakan hasil plagiat atau penjiplakan terhadap karya orang lain, maka saya bersedia mempertanggungjawabkannya sekaligus bersedia menerima sanksi berdasarkan aturan di Universitas Mercu Buana.

Demikian surat pernyataan ini saya buat dalam keadaan sadar dan tidak ada paksaan.

Jakarta, 15 Juli 2017



(PURMIANTO)

LEMBAR PENGESAHAN

**Analisa Dan Perancangan *Capacitor Bank* Untuk Perbaikan Faktor Daya Panel
LVMDB-1 Di PT.YKK Zipper Indonesia-Cimanggis *Factory***



Disusun Oleh:

Nama : Purmianto

NIM : 41415320024

Program Studi : Teknik Elektro

UNIVERSITAS
MERCU BUANA

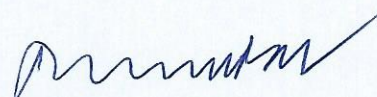
Mengetahui,

Dosen Pembimbing



(Akhmad Wahyu Dani, ST., MT)

Koordinator Tugas Akhir



(Hadi Pranoto, ST., MT)

PENGHARGAAN

Puji dan syukur penulis panjatkan kehadirat Allah SWT atas segala limpahan rahmat dan karunia-Nya sehingga penulis dapat menyelesaikan Tugas Akhir yang berjudul **“Analisa dan Perancangan *Capacitor Bank* Untuk Perbaikan Faktor Daya Panel LVMDB-1 Di PT.YKK Zipper Indonesia-Cimanggis *Factory*”**. Tugas Akhir ini disusun dan diajukan dalam rangka memenuhi syarat guna memperoleh Sarjana Strata Satu (S1), Jurusan Teknik Elektro, Universitas Mercu Buana.

Dalam proses penyusunan Tugas Akhir, penulis banyak mendapatkan ilmu pengetahuan, bantuan, dan dukungan dari berbagai pihak, baik secara langsung maupun secara tidak langsung. Oleh karena itu, penulis ingin mengucapkan terima kasih yang sebesar-besarnya kepada :

1. Bapak Dr. Ir. Arisetyanto Nugroho, MM. selaku Rektor Universitas Mercu Buana.
2. Bapak Danto Sukmajati, M.Sc, Ph.D. selaku Dekan Fakultas Teknik Elektro Universitas Mercu Buana.
3. Ibu Prof. Dr. Ir. Chandra Soekardi, DEA. selaku Direktur Operasional Kampus D Universitas Mercu Buana.
4. Bapak Dr. Setiyo Budiyo, ST., MT. selaku Ketua Program Studi Teknik Elektro Universitas Mercu Buana.
5. Bapak Hadi Pranoto, ST., MT. selaku Koordinator Tugas Akhir dan Sekertaris Program Studi Teknik Mesin dan Elektro Universitas Mercu Buana.
6. Bapak Akhmad Wahyu Dani, ST., MT. selaku Dosen Pembimbing yang telah memberikan arahan, dukungan, dan pengertiannya.
7. Kedua orang tua dan adik-adikku tercinta, yang selalu mencurahkan kasih sayang, doa yang tiada henti, serta motivasi dan nasihat yang membuat penulis tetap bersemangat.
8. Istri dan anak-anakku tercinta, yang selalu memberikan semangat dan motivasi, doa yang tiada henti, yang membuat penulis tetap bersemangat menyelesaikan tugas akhir ini.

9. Rekan-rekan kerja Departement Utility dan Maintenance PT.YKK Zipper Indonesia-Cimanggis *Factory* yang banyak membantu dalam menyelesaikan tugas akhir ini.
10. Rekan-rekan kuliah dan tugas akhir yang banyak membantu dalam menyelesaikan tugas akhir ini.

Penulis menyadari bahwa hasil yang dicapai belum sempurna. Oleh karena itu, penulis mengharapkan kritik dan saran yang membangun demi sempurnanya tugas akhir ini. Semoga tugas akhir ini dapat bermanfaat bagi semua pihak, khususnya bagi rekan-rekan mahasiswa dan umumnya bagi para pembaca.



Depok, Juli 2017

A handwritten signature in black ink, appearing to be 'Purmianto', written in a cursive style.

Purmianto

UNIVERSITAS
MERCU BUANA

DAFTAR ISI

	Halaman
LEMBAR PERNYATAAN	i
LEMBAR PENGESAHAN	ii
PENGHARGAAN	iii
ABSTRAK	v
DAFTAR ISI	vii
DAFTAR GAMBAR	x
DAFTAR TABEL	xi
 BAB I PENDAHULUAN	
1.1 Latar Belakang Masalah	1
1.2 Metode Penelitian	3
1.3 Perumusan Masalah	4
1.4 Tujuan Penelitian	4
1.5 Batasan dan Ruang Lingkup Penelitian	4
1.6 Sistematika Penulisan	5
 BAB II TINJAUAN PUSTAKA	
2.1 Energi Dan Daya Listrik	6
2.1.1 Energi Listrik	6
2.1.2 Daya Listrik	7
2.2 Faktor Daya	9
2.2.1 Faktor Daya <i>Unity</i>	10
2.2.2 Faktor Daya Terbelakang (<i>Lagging</i>)	10
2.2.3 Faktor Daya Mendahului (<i>Leading</i>)	11
2.3 Perbaikan Faktor Daya	12
2.4 Keuntungan Perbaikan Faktor Daya	13
2.5 Kapasitor Bank Untuk Perbaikan Faktor Daya	15

2.5.1	Pengertian Kapasitor Bank	15
2.5.2	Prinsip Kerja Kapasitor Bank	16
2.6	Komponen-Komponen Kapasitor Bank	16
2.7	Menentukan Ukuran Kapasitor Untuk Memperbaiki Faktor Daya	18
2.7.1	Metode Perhitungan Sederhana	18
2.7.2	Metode Tabel Kompensasi	19
2.7.3	Metode Diagram	20
2.8	Metode Pemasangan Kapasitor Bank	21
BAB III	METODOLOGI	
3.1	Metodologi Penelitian	24
3.2	Objek Penelitian	26
3.2.1	Panel <i>Low Voltage Main Distribution Board 1</i> (LVMDB 1)	26
3.2.2	Eksisting Panel Kapasitor Bank LVMDB 1	29
3.3	Pengukuran Faktor Daya Dan Daya Listrik Panel LVMDB 1	30
3.4	Penentuan Ukuran Dan Nilai Kapasitor Bank	33
BAB IV	HASIL DAN PEMBAHASAN	
4.1	Panel Kapasitor Bank 1 Sebelum Perbaikan	35
4.2	Data Pengukuran Panel LVMDB 1 Sebelum Perbaikan	36
4.3	Perancangan <i>Kapasitor Bank</i>	38
4.3.1	Perhitungan Kebutuhan Nilai Kapasitor Bank	39
4.3.2	Perancangan New Panel Kapasitor Bank	40
4.4	Data Pengukuran Panel LVMDB 1 Setelah Perbaikan	43
BAB V	KESIMPULAN DAN SARAN	
5.1	Kesimpulan	46
5.2	Saran	46
	DAFTAR PUSTAKA	48

LAMPIRAN

A	Data Sheet Kapasitor Shizuki	50
B	Data Sheet Power Factor Regulator Mikro	52
C	Setting C/K Power Factor Regulator	54
D	Tabel Faktor Pengali Nilai Kompensasi Kapasitor	55
E	Hasil Pengukuran Daya dan Faktor Daya Sebelum Perbaikan Panel Kapasitor Bank	56
F	Grafik Pengukuran Daya dan Faktor Daya Sebelum Perbaikan Panel Kapasitor Bank	57
G	Grafik Rugi Daya Listrik Sebelum Perbaikan Panel Kapasitor Bank	58
H	Hasil Pengukuran Daya dan Faktor Daya Setelah Perbaikan Panel Kapasitor Bank	59
I	Grafik Pengukuran Daya dan Faktor Daya Setelah Perbaikan Panel Kapasitor Bank	60
J	Grafik Rugi Daya Listrik Setelah Perbaikan Panel Kapasitor Bank	61
K	Sequence Kontrol Diagram <i>New Panel Capacitor Bank</i>	62

UNIVERSITAS
MERCU BUANA

DAFTAR GAMBAR

No. Gambar	Halaman
2.1 Penjumlahan trigonometri daya aktif, reaktif, dan semu	9
2.2 Arus sephasa dengan tegangan	10
2.3 Arus tertinggal dari tegangan sebesar sudut ϕ	11
2.4 Arus mendahului tegangan sebesar sudut ϕ	11
2.5 Kompensasi daya reaktif	14
2.6 Diagram daya untuk menentukan kapasitor	20
2.7 Metode pemasangan instalasi kapasitor bank	21
3.1 Diagram alur proses penelitian	25
3.2 <i>Single line diagram panel low voltage main distribution board 1 (LVMDDB 1)</i>	27
3.3 <i>Single line diagram panel kapasitor bank LVMDDB 1</i>	30
3.4 <i>Clamp on sensor HIOKI type 9667</i>	30
3.5 <i>HIOKI clamp on power hitester type 3169-21</i>	31
3.6 Metode pengukuran daya dan faktor daya pada sirkuit 3P3W2M	32
4.1 <i>Single line diagram eksisting panel kapasitor bank LVMDDB 1</i>	35
4.2 Grafik resume pengukuran daya listrik dan faktor daya sebelum perbaikan nilai kompensasi kapasitor bank	37
4.3 Grafik resume rugi daya listrik sebelum perbaikan	38
4.4 <i>New single line diagram panel kapasitor bank LVMDDB 1</i>	41
4.5 Grafik resume pengukuran daya listrik dan faktor daya setelah perbaikan nilai kompensasi kapasitor bank	44
4.6 Grafik resume rugi daya listrik sebelum perbaikan	45

DAFTAR TABEL

No. Tabel		Halaman
3.1	Dafter panel yang berada pada panel LVMDB 1	28
3.2	Setting parameter pengukuran	31
3.3	Data pengukuran yang dibutuhkan	32
4.1	Resume pengukuran daya dan faktor daya sebelum perbaikan panel kapasitor bank	36
4.2	Spesifikasi <i>capacitor bank</i>	40
4.3	Pengukuran daya dan faktor daya setelah perbaikan panel kapasitor bank	43

